

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-331149

(43)Date of publication of application : 13.12.1996

(51)Int.Cl. H04L 12/28
H04J 3/06
H04L 7/08
H04Q 3/00

(21)Application number : 07-138173

(71)Applicant : NEC CORP

(22)Date of filing : 05.06.1995

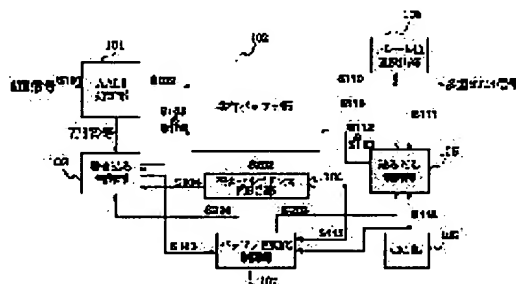
(72)Inventor : NISHIHARA MOTOO

(54) MULTIPLEX ATM/STM CONVERTER OF STRUCTURED DATA

(57)Abstract:

PURPOSE: To input the VP of plural structured CBR signals which are each arbitrarily combined with the number of channel and channel speed and to convert each of the signals into STM signal by using a shared memory buffer as a cell buffer.

CONSTITUTION: A multiplex ATM/STM conversion circuit is provided with an ALL1 processing part 101, a shared buffer 102, a writing control part 103, a free address FIFO part 104, a reading control part 105, a CM part 106, a buffer initialization processing part 107 and a frame location part 107. An ATM cell S 101 is inputted in the ALL1 processing part 101. A cell buffer means (the shared buffer 102) has plural queues storing the payload of the ATM cell received from the ALL1 processing part 101 every virtual path. The shared buffer is mutually and independently set under the condition that the buffer capacity of a cell block composing each queue is equal to a prescribed value where the total sum of buffer capacity of each queue is fixed depending on transmission line capacity.



LEGAL STATUS

[Date of request for examination] 05.06.1995

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2770786

[Date of registration] 17.04.1998

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

従来例

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-331149

(43) 公開日 平成8年(1996)12月13日

(51) Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 12/28		9466-5K	H 0 4 L 11/20	D
H 0 4 J 3/06			H 0 4 J 3/06	C
H 0 4 L 7/08			H 0 4 L 7/08	Z
H 0 4 Q 3/00			H 0 4 Q 3/00	

審査請求 有 請求項の数7 O L (全 9 頁)

(21) 出願番号 特願平7-138173

(22) 出願日 平成7年(1995)6月5日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 西原 基夫

東京都港区芝五丁目7番1号 日本電気株式会社内

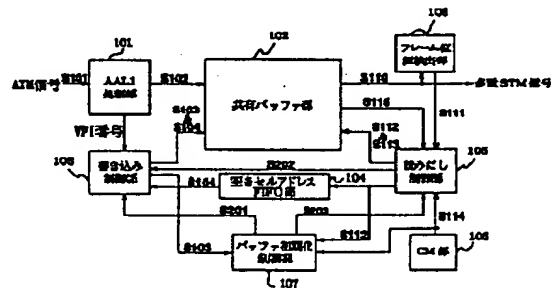
(74) 代理人 弁理士 若林 忠

(54) 【発明の名称】 構造化データの多重ATM/STM変換装置

(57) 【要約】

【目的】 ITU勧告I. 363の構造化データ転送によるATMセルをデセル化して、速度が64 kbps × n (n:任意の自然数)で表される複数のSTMフレームを再生し、かつ、デセル化に伴うバッファ量を最少にできるアーキテクチャーを構成する。

【構成】 AAL1処理部と、ATMセルのペイロードを連鎖リストのキューにより格納し、そのリンクリスト内のポインターも格納する共有バッファ部102と、102への書き込みアドレスを管理する書き込み制御部と、102への読みだしアドレスを管理する読みだし制御部と、102内における空きセルアドレスのリストを管理する空きセルアドレスFIFO部と、102の初期化処理を行うバッファ初期化制御部と、STM信号のフレーム位置をモニターするフレーム位置検出部と、STM側チャネル配置とATM側VPCを関連づけるCM部を設けたものである。



【特許請求の範囲】

【請求項1】 フレーム周期に時分割多重化された複数のチャンネルをもつSTM信号のチャンネル毎の情報をセル単位で転送するATMセルを元のSTM信号に変換するATM/STM変換回路であって、

前記ATMセルを入力し、そのATMセルに、ITU勧告I.363の構造化データ転送のプロトコルによりSAR/CSレイヤの処理を行い、その結果の一つとしてSTMフレームのフレーム箇所と仮想バス識別子を抽出して当該ATMセルを出力するAAL1処理部101と、

前記ATMセルのセル転送遅延ゆらぎを吸収するために、該ATMセルを仮想バス毎に格納するセルバッファ手段と、

前記セルバッファ手段中の、各々の仮想バスを格納する区域をセルブロックとすると、AAL1処理部が抽出した仮想バス番号をもつATMセルを前記セルバッファ手段へ書き込むためのセルブロックアドレスを制御する書き込み制御部と、

ATMセルの仮想バスの、STMフレームへのチャンネル配置が蓄積され、前記セルバッファ手段から次に読み出されるべき仮想バスを指定する情報が、STM網のフレーム条件に合わせて読み出されるコントロールメモリ部と、

セルバッファ手段への読みだしアドレスを管理し、コントロールメモリ部の出力によって指定される仮想バスを、セルバッファ手段から読み出す読みだし制御部と、書き込み制御部と読みだし制御部からそれぞれ書き込みおよび読みだしの発生を通知する信号を入力して前記セルバッファ手段に蓄積されている情報量を監視し、該情報量が所定の条件を満たした時、バッファ初期化処理を行うバッファ初期化制御部とを有する多重ATM/STM装置において、

前記セルバッファ手段は、AAL1処理部から受信したATMセルのペイロードを仮想バス毎に格納する複数のキューを有し、かつ、各々のキューを構成するセルブロックのバッファ量が、各々のキューのバッファ量の総和が伝送路容量に依存して定まる所定値に等しいという条件の下で、相互に独立に設定される共有バッファとして構成されていることを特徴とする構造化データの多重ATM/STM変換装置。

【請求項2】 各々のキューのバッファ量は、当該キューに格納される仮想バスの仮想バス識別子を k とし、仮想バス k のフレーム長を F_k とし、セル転送遅延ゆらぎ T とフレーム周期 T_f との比 (T/T_f) を n とすると、 $2nF_k$ に等しく設定される、請求項1に記載の装置。

【請求項3】 前記バッファ量の総和は、当該ATM網のセル転送遅延ゆらぎを T とすると、伝送路容量の $2T$ 倍に等しく定められる、請求項2に記載の装置。

【請求項4】 前記複数のキューは、連鎖リストを構成する請求項1に記載の装置。

【請求項5】 前記共有バッファは、セルバッファ部とポインタバッファ部とラッチ部とカウンタ部を有し、セルバッファ部は、仮想バス毎にキューを有し、キューの個々のセルブロックは個々のATMセルのペイロードを格納し、セルブロックに格納される情報のアドレスは、セルブロックを指定するセルブロックアドレスと個々のセルブロック内の格納位置を指定するオフセットアドレスの2種類のアドレスにより指定され、ポインタバッファ部は、前記セルバッファ部における、連鎖リスト構成で構成されているキューのポインタを格納し、該ポインタは、当該キューを構成するセルブロックの次のセルブロックのセルブロックアドレスを指定し、ラッチ部は、セルブロックアドレスをラッチし、カウンタ部は、入力するATMセルがPフォーマットであるかNon-Pフォーマットであるかに応じてそれぞれ46または47のカウンタを行って、前記オフセットアドレスを指定する、請求項4に記載の装置。

【請求項6】 前記読みだし制御部は、ヘッドレジスタ部とダウンカウンタ部を有し、ヘッドレジスタ部は、仮想バス別に読みだしを行うためのセルブロックアドレスを格納し、ダウンカウンタ部は、読みだしのためのオフセットアドレスを生成し、STM網側のチャンネル別に読みだされるセルブロックがPフォーマットであるかNon-Pフォーマットであるかに応じてそれぞれ46または47の値から0までのダウンカウンタを行う、請求項1に記載の装置。

【請求項7】 前記バッファ初期化制御部は、フレームカウンタ部とキュー長アップダウンカウンタ部と比較部からなり、フレームカウンタ部は、仮想バス (k) 別にコントロールメモリ部の出力をフレーム周期間モニターしてフレーム長 (F_k) を計算し、そのフレーム長に比 n をかけ算して仮想バス別の第1のバッファしきい値 $Th_{1,k}$ を計算し、さらに $Th_{1,k}$ を2倍して仮想バス別の第2のバッファしきい値 $Th_{2,k}$ を計算し、キュー長アップダウンカウンタ部は、書き込み制御部と読みだし制御部からそれぞれ書き込みおよび読みだしの発生を通知する信号を入力してセルバッファ部内における仮想バス別のキュー長をセルブロック毎に計算し、比較部は、キュー長アップダウンカウンタ部の出力するキュー長とフレームカウンタ部の出力を比較し、それぞれの仮想バス (k) について、キュー長が0または $Th_{1,k}$ になったときに当該キューをリセットした後、当該キュー長が $Th_{1,k}$ になるまで、当該キューの読みだしを停止しながら書き込みを実行することを書き込み制御部および読みだし制御部に指示するバッファ初期化信号を発生し、当該キューのキュー長が $Th_{1,k}$ に達したときに、読みだしを再開するためにバッファ初期化処理終了信号を発生する、請求項2に記載の装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、フレーム周期に時分割された複数のチャネルをもつSTM信号のチャネル毎の情報をセル単位で転送するATMセルを元のSTM信号に変換する、構造化データの多重ATM/STM変換方式に関する。

【0002】

【従来の技術】一定のフレーム周期（例えば125 μ s ecまたは500 μ sec）を持つSTM信号は、ITU勧告I. 363のAAL1プロトコルによりATMセルとしてATM網で転送される。対象となるSTM信号は64kbps \times n（n：任意の自然数）で表される。複数のSTMチャネルはそれぞれ異なるVP（仮想パス）を与えられ、ATMセルとして転送される。従来の構造化データの多重ATM/STM変換方式では、前記ATMセルはVP単位に分割されたバッファにATM網内に生じるCDV（転送遅延ゆらぎ）値以上蓄積された上で、STM網のフレーム条件に併せて読み出される。前記バッファは、オーバーフロー時及びアンダーフロー時に初期化され、あらかじめ当該ATM網内に生じるCDVの値以上ためられて読み出しが再開される。この方式においては、前記バッファは、STM信号の速度に併せて固定的に分割されているか、もしくは複数のSTM信号間に存在する規則性を利用した効率的な分割運用が図られている。

【0003】図7は、この種のATM/STM変換回路の要部のブロック図である。ATM/STM変換回路は、AAL1（ATMアプリケーションレイヤ・タイプ1）処理部71、セルバッファ72、書き込み制御部73、読み出し制御部75、CM部（コントロールメモリ部）76、バッファ初期化部77を備えている。AAL1処理部71は、ITU勧告I. 363の構造化データ転送のプロトコルによってSTMフレームがセル化されているATMセルS101を受信する。AAL1処理部71は、ATMセルS101を受信すると、SAR/Cレイヤの処理を行い、その結果の一つとしてSTMフレームのフレーム位置およびVPI（VP識別子）を抽出する。AAL1処理部71は、次に、そのATMセルS101をセルバッファ72に送ると共に、当該ATMセルの到来とVPIを書き込み制御部73に通知する。セルバッファ72は、それぞれ、固定的またはある程度の効率的運用を図られたメモリ容量をもつ複数のバンクから成っていて、ATMセルのVP毎に、すなわち、1つのVPに1つのバンクを指定してATMセルを格納する。書き込み制御部73はセルバッファへのATMセルの書き込みを管理する。すなわち、ATMセルの到来の通知に応じて、セルバッファ72の書き込みアドレスを制御すると共に、読みだしが終了したVPのアドレスを空きセルアドレスとして以後の書き込みのために保持する。

CM部76は、STM網側のフレームに合わせて、読み出されるべきVPの識別子情報を蓄積し、該情報は、STM網のタイミングに合わせて読みだし制御部75に通知される共に、バッファ初期化制御部77にその通知が発生したことが通知される。読みだし制御部75は、セルバッファ72からのVPの読みだしを管理する。すなわち、初期化時以外ときには、CM部76の出力にตอบสนองしてVPを読みだして時分割多重STMフレームを生成する。読みだし制御部75は、また、初期化時においてセルバッファ72がリセットされた時以後CDV値を越す迄の時間は、セルバッファ72の読みだしを停止する。バッファ初期化部77は、セルバッファのあるバンクがオーバーフローまたはアンダーフローしたときには、書き込み制御部73に、そのバンクに対する書き込みの停止を指示して当該バンクを0にリセットする。バッファ初期化部77は、さらに、書き込み制御部と読みだし制御部からそれぞれ書き込みおよび読みだしの発生を通知する信号を入力してセルバッファ72に蓄積されている情報量を監視し、一方、CM部76の出力に基づいてCDV値に対応するしきい値を設定し、当該バンクに格納されている情報量がそのしきい値に達したとき、初期化を終了して読みだしを再開する指示を読みだし制御部に指示する。このようにして、セルバッファ72にCDV値に対応する情報量がためられた後に、読みだしが再開される。

【0004】

【発明が解決しようとする課題】上記の従来の方式では、全く異なる速度を持つ複数のSTM信号を収容する場合には、個々のVPに対応するセルバッファの大きさを最大速度のSTM信号に対応する大きさにするため、全体のセルバッファによるメモリ規模が極めて大きくなる。また、複数のSTM信号の速度条件及びフレームフォーマットにある程度の制限を持たせ、かつ、その条件の下でSTM信号の速度間の規則性を利用して、全セルバッファのメモリ量を最低に押さえる方式が考えられたが、全く異なる任意の速度を持つ複数のSTM信号を低いメモリコストで収容することはできなかった。いずれの方式にしても、結果として、回路規模と消費電力が増すという問題点があった。

【0005】本発明の目的は、全く任意の速度の組み合わせを持つ複数のSTM信号に対して、全セルバッファの容量を常に一定とし、自動的にSTM側への読み出しを行うことを可能とするアーキテクチャを実現し、結果として、セルバッファの容量自体も、どのような状況でも理論的に最小で、回路規模と消費電力を最小に押さえることにある。

【0006】

【課題を解決するための手段】この発明は、以上述べた問題点を解決するため、本発明の構造化データの多重化ATM/STM変換装置は、フレーム周期に時分割多重

化された複数のチャネルをもつSTM信号のチャネル毎の情報をセル単位で転送するATMセルを元のSTM信号に変換するATM/STM変換回路であって、前記ATMセルを入力し、そのATMセルに、ITU勧告I.363の構造化データ転送のプロトコルによりSAR/CSレイヤの処理を行い、その結果の一つとしてSTMフレームのフレーム箇所と仮想バス識別子を抽出して当該ATMセルを出力するAAL1処理部101、前記ATMセルのセル転送遅延ゆがみを吸収するために、該ATMセルを仮想バス毎に格納するセルバッファ手段、セルバッファ手段中の、各々の仮想バスを格納する区域をセルブロックとすると、AAL1処理部が抽出した仮想バス番号をもつATMセルを前記セルバッファ手段へ書き込むためのセルブロックアドレスを制御する書き込み制御部、ATMセルの仮想バスの、STMフレームへのチャネル配置が蓄積され、前記セルバッファ手段から次に読み出されるべき仮想バスを指定する情報が、STM網のフレーム条件に合わせて読み出されるコントロールメモリ部、セルバッファ手段への読みだしアドレスを管理し、コントロールメモリ部の出力によって指定される仮想バスを、セルバッファ手段からの読みだし読みだし制御部、書き込み制御部と読みだし制御部からそれぞれ書き込みおよび読みだしの発生を通知する信号を入力して前記セルバッファ手段に蓄積されている情報量を監視し、該情報量が所定の条件を満たした時、バッファ初

$$\text{総セルバッファ量} = \Sigma (2 \times R_k \times T)$$

$$= 2 T \Sigma R_k$$

$$= 2 T R_{\text{sum}}$$

(1)

ここで、 Σ は $k=1$ から $k=N$ までの和で、 N はチャネル数(VPの数)である。チャネル数及び個々のチャネル速度に関わらず、総チャネル速度の最大値は伝送路容量より決定されるので一定であり、ネットワーク内CDVT値も一定である。従って、式(1)はどのようなチャネル数及びチャネル速度の組み合わせにおいても成立※

$$2 \times R_k \times T = 2 \times (R_k T_r) \times (T/T_r)$$

$$= 2 n F_r$$

と表現される。

【0010】セルバッファ内における各チャネルのキューのアドレスは、チャネル毎のアドレス管理FIFOではなく、セルバッファのセルブロックアドレスと同一のアドレスでポイントされ、チャネル毎のアドレス管理FIFOと同一の動作をする共有バッファであるポインタバッファにより管理される。それによって、総メモリ量の削減が実現される。チャネル毎のアドレス管理FIFOを使用した場合、その大きさは、1チャネル当り式(3)で表される

$$C = N \times \log_2 N \quad (3)$$

ここで、 C は1チャネル当りのアドレス管理FIFOのメモリ量で、 N はセルバッファ部内におけるセルブロック数である。従って、全メモリ量は次式(4)になる。

※ 期化処理を行うバッファ初期化制御部とを有し、セルバッファ手段は、AAL1処理部から受信したATMセルのペイロードを仮想バス毎に格納する複数のキューを有し、かつ、各々のキューを構成するセルブロックのバッファ量が、各々のキューのバッファ量の総和が伝送路容量に依存して定まる所定値に等しいという条件の下で、相互に独立に設定される共有バッファとして構成されている。

【0007】各々のキューのバッファ量は、当該キューに格納される仮想バスの仮想バス識別子を k とし、仮想バス k のフレーム長を F_k とし、セル転送遅延ゆがみ T とフレーム周期 T_r との比(T/T_r)を n とすると、 $2 n F_k$ に等しく設定される。また、バッファ量の総和は、当該ATM網のセル転送遅延ゆがみを T とすると、伝送路容量の2倍に等しく定められる。複数のキューは、連鎖リストを構成することが望ましい。

【0008】

【作用】いま、識別子 k のVPに対応するチャネルのチャネル速度を R_k 、ネットワーク内CDV値を T とすると、ATM網からSTM網に出力されるSTMフレームが元のSTMフレームに合致するように、CDVを吸収するために必要な各チャネル(各VP)の最小セルバッファ量は $2 \times R_k \times T$ になることが知られている。従って、

※し、また必要最低限度のセルバッファ量を示す。本発明のデセル化法ではセルバッファとして共有バッファ型のものを使用しているため、式(1)で示されるセルバッファ量によって、任意のチャネル数及びチャネル速度の収容が可能である。

【0009】また、上記のセルバッファ量は

(2)

【0011】

$$C_{\text{all}} = C \times L = L \times N \times \log_2 N \quad (4)$$

ここで、 C_{all} は全チャネルのアドレス管理FIFOのメモリ量であり、 L はチャネル数である。ポインタバッファを使用した場合、そのメモリ量は、次式(5)で示される。

【0012】

$$C_{\text{all}} = N \times \log_2 N \quad (5)$$

ここで、 C_{all} はポインタバッファのメモリ量であり、 N はセルバッファ部内のセルブロック数である。式(5)と式(4)との比は、 $1/L$ となり、メモリ量の大幅な削減が達成される。全チャネル数の L が大きくなるほど、その効果は大きい。

【0013】

【実施例】次に、本発明の実施例について図面を参照して説明する。本発明の多重ATM/STM変換回路は、ITU勧告I. 363の構造化データ転送の protocols によりSTMフレームがセル化されているATMセルを元のSTMフレームに変換する回路である。図1は、多重化ATM/STM変換回路の一実施例のブロック図である。本実施例の多重化ATM/STM変換回路は、ALL1処理部101、共有バッファ102、書き込み制御部103、空きアドレスFIFO部104、読みだし制御部105、CM部106、バッファ初期化処理部107、フレーム位置検出部108を備え、ATMセルS101はAAL1処理部101に inputs する。

【0014】AAL1処理部101は、ATMセルS101を入力すると、SAR/CSレイヤの処理を行い、その結果の一つとしてSTMフレームのフレーム位置を抽出する。また、AAL1処理部101は、ユーザデータにフレームであるか否かを示すフレーム位置指示ビット、バッファ初期化制御部107からのバッファ初期化要求ビットと、セルブロックに格納されているデータであるATMセルがPフォーマットであるかNon-Pフォーマットであるかを示すPフォーマットビットを付加して共有バッファ部102に転送する。図5は、共有バッファ部102に入力される信号S102のデータフォーマットを示す。AAL1処理部101は、また、入力セルのVPI（仮想バス識別子）を認識し、書き込み制御部103に通知する。

【0015】共有バッファ部102は、後述するようにセルバッファ部を有し、セルバッファ部は、VP単位（STM網側のチャネル単位）のキューを有し、それぞれのキューのブロックは個々のATMセルのペイロードを格納する。以下、このブロックをセルブロックと記す。セルバッファ部内の各アドレスは、セルブロックを指定するセルブロックアドレスと、個々のセルブロック内のオフセットであるオフセットアドレスの2種類のアドレスによりポイントされる。共有バッファ部102は、ALL1処理部101から、図5のフォーマットを持つATMセルを受信し、書き込み制御部103から通知されたセルブロックアドレスにVP単位でそのATMセルが書き込まれる。共有バッファ部102は、また、次の入力セルのためのセルブロックアドレスS104を書き込み制御部103から受信して、データとして保持する。共有バッファ部102の詳細な構成と動作は、図2を参照して、後述する。

【0016】書き込み制御部103は、AAL1処理部101から新しいセル到着の通知及びそのVP番号を受けると、書き込み制御部103内に持つVP単位（STM網側のチャネル単位）に登録されているテールレジスタの値から該当VPのレジスタ値S103を選択し、そのレジスタ値を当該VPのセルブロックアドレスとして、共有バッファ部102に通知する。また、そのVP

に関して次に入力されるATMセルのセルブロックアドレスS104を、空きセルブロックアドレスFIFO部104から受信し、書き込み制御部103内の当該VPのテールレジスタの値を更新する。同時に、テールレジスタに書き込まれたこの新しいセルブロックアドレスをも共有バッファ部に通知する。また、ATMセルの書き込みが発生したことを、バッファ初期化制御部107に通知する。

【0017】フレーム位置検出部108は、共有バッファ部102から読み出されるデータS110において（図5）、フレーム位置指示ビットのOn/Offを監視し、On時、その旨を読みだし制御部105に通知する（S111）。CM部106は、STM網側のタイミングに応じて、読み出されるべきVPを読みだし制御部105とバッファ初期化処理部107に通知する。

【0018】読みだし制御部105は、フレーム位置検出部108から通知されたフレーム位置（S111）に基づいてSTM網側のタイミングに同期させて、CM部106によって指示されたVPを読み出す。また、読みだしを終了したVPのセルブロックアドレスを、空きセルアドレスとして空きセルアドレスFIFO部104とバッファ初期化処理部107に通知する。読みだし制御部105の詳細な構成と動作は図3を参照して後述する。

【0019】バッファ初期化処理部107は、CM部106からVP番号S114を受け、書き込み制御部103から各VP単位に書き込みが発生したことを示す情報をS103として受け、また読みだし制御部105から各VP単位に読みだしが発生したことを示す情報をS112として受け、後述の方法によって、セルバッファ部内における各VP単位のキューの長さを計算する。その計算結果から、①キューが空である、②キューがフレーム長の2n倍である（n：網内のCDV値を125usecで割ったもの）、③キューがフレーム長のn倍であるの3点の比較を行い、結果をバッファ初期化制御用の信号（S201、S203）に変換して、書き込み制御部103及び読みだし制御部105に通知する。バッファ初期化制御回路107の詳細な構成と動作は図4を参照して後述する。

【0020】空きセルアドレスFIFO部は、共有バッファ部102における空きセルブロックアドレスをFIFO内に管理しており、書き込み制御部103の要求に応じて、空きセルアドレスFIFOの先頭に格納されている空きセルブロックアドレスS104を通知し、読みだし制御部105により、読みだし中のVPの読みだしが終了した場合には、当該セルブロックアドレスS112を新たな空きセルブロックアドレスとして、空きセルアドレスFIFOの最後に格納する。

【0021】図2は、本発明の共有バッファ部102の一実施例の構成を示すブロック図である。本実施例の共

有バッファ部102は、セルバッファ部202、ポインタバッファ部201、ラッチ部204、カウンタ部203を備えている。セルバッファ部202は、VP単位（STM網側のチャネル単位）のキューを有し、キューの個々のブロックは個々のATMセルのペイロードを格納し、セルブロック単位のアドレスと個々のセルブロック内のオフセットアドレスの2種類のアドレスによりポイントされる。ポインタバッファ部201は前記セルバッファ部202において連鎖リスト構造で構成されるキューのポインタ（セルブロックアドレス）を格納する。ラッチ部204は、セルブロック単位のアドレス（セルブロックアドレス）をラッチする。カウンタ部203は、入力するATMセルがPフォーマットであるかNon-Pフォーマットであるかに応じてそれぞれ46もしくは47のカウンタを行う。

【0022】本実施例の共有バッファは次のように機能する。共有バッファ部102は、AAL1処理部101から、図5のフォーマットを持つデータを受信し、書き込み制御部から通知されるセルブロックアドレスに書き込むために、セルバッファ部202に、セルブロックアドレス及び入力セルを転送する。カウンタ部203は、図5のフォーマットで示される入力データS102のPフォーマットビットから、入力セルがPフォーマットかNon-Pフォーマットであるかの通知を受け、それぞれ、0から46または47のカウンタアップを行う。セルバッファ部202は、書き込み制御部103から通知されるセルブロックアドレスS103とカウンタ部203から受けるオフセットアドレスS105を入力セルの格納アドレスとして認識し、入力セルのペイロード部分を内部のメモリに書き込む。ラッチ部204は、入力セルが書き込まれているセルブロックアドレスをラッチする。ポインタバッファ部201は、ラッチ部204のラッチしたセルブロックアドレスS103を内部のメモリのアドレスとして、該当VPの次の入力セルのためのセルブロックアドレスS104を書き込み制御部103から受信して、データとして書き込む。

【0023】図6は共有バッファ部102におけるVP単位の連鎖リスト管理構造を示す。セルバッファ部202とポインタバッファ部201との、同一のセルブロックアドレス信号S103で指定されるアドレスには、それぞれATMセルのペイロードおよび次のATMセルを格納する位置を指定するポインタが格納される、連鎖リストが示されている。この連鎖リストにおいては、セルバッファ部202の、例えばセルブロックアドレスbの位置には、指定されたVPのペイロードが格納され、ポインタバッファ部201の同一のアドレスbの位置には、次に格納されるATMセルの格納位置を示すポインタcがデータとして格納されている。

【0024】図3は読みだし制御部105の一実施例を示すブロック図である。読みだし制御部105は、ヘッ

ドレジスタ部301とダウンカウンタ部302を備えている。ヘッドレジスタ部301は、セルバッファ部202内に存するVP単位（STMのチャネル単位）のキューの先頭のセルブロックアドレスS112を各VP毎に保持している。ヘッドレジスタ部301は、また、VP単位（STM網側のチャネル単位）に読みだし中のセルブロック内のオフセット値S113も保持している。ダウンカウンタ部302は、STM網側のチャネル別に読みだし中のセルブロックがPフォーマットであるかNon-Pフォーマットであるかに応じてそれぞれ46もしくは47の値から0までのダウンカウンタを行う。

【0025】読みだし制御部105は、CM部106から現時刻において出力すべきVP識別子の通知（S114）を受け、もしそのVPのセルブロックが読みだし中であれば、そのVPのセルブロックのオフセット値S113を+1し、新たに読み出すべきオフセットアドレスS113を得る。また、もしそのVPの読みだし中のセルブロックアドレスのオフセット値が最大（セルブロックがPフォーマットであれば46バイト、Non-Pフォーマットであれば47バイト）の場合はそのセルブロックの読みだしが終了したので、そのVPのセルバッファ部202内におけるキューの次のセルブロックのアドレスS115をポインタバッファ部201から受け取り、ヘッドレジスタ部301に書き込む。同時に、セルバッファ部202から読み出されたデータ（図5）のPフォーマットビットによって新しく読み出されるセルブロック内のATMセルがPフォーマットかNon-Pフォーマットか判定し、ダウンカウンタ部302にそれぞれ46もしくは47のオフセット値をロードする。

【0026】図4はバッファ初期化制御部の一実施例のブロック図である。本実施例のバッファ初期化制御部107は、フレームカウンタ部401とキュー長アップダウンカウンタ部402と比較部403を備えている。フレームカウンタ部401は、VP別（STM側のチャネル別）にCM部106の出力を125usec間モニターしてフレーム長を計測し、システムによって設定されるネットワークのCDV値nを掛けVP（識別子k）別（STM側チャネル別）のバッファしきい値 $Th_{k,n}$ を計算し、さらに2倍してVP別（STM側チャネル別）のバッファ長 $Th_{k,n}$ を計算する。キュー長アップダウンカウンタ部402は、書き込み制御部103と読みだし制御部105から、VP毎に、それぞれ書き込み、読みだしが発生したことを示す信号を受け、セルバッファ部202内におけるVP別（STM側チャネル別）のキュー長をセルブロック単位に計算する。比較部403は、キュー長アップダウンカウンタ部の出力するキュー長とフレームカウンタ部401の各種出力を比較しバッファ初期化信号及びバッファ初期化処理終了信号を発生する。バッファ初期化部107は、次のように動作する。フレームカウンタ部401は、CM部106から入

力されるVP識別子k(信号S114)をデコードし、各VP識別子毎に、一定フレーム周期内に当該VP識別子が何回発生したかをカウントし、各VPのフレーム長を計測する。各VPはSTM網側の各チャンネルと1:1に対応する関係がある。このVP毎のフレーム長に、フレーム周期を単位として測ったCDV値(ATM網内のCDV値を $125\mu s$ で割り算した値)nを掛けてVP(識別子k)別に第1のしきい値 $Th_{1,k}$ を生成する。さらに、このVP毎のフレーム長に2nをかけて第2のしきい値 $Th_{2,k}$ を生成する。 $Th_{1,k}$ は、ATM網の転送遅延ゆらぎによる平均セル速度のゆらぎに対応する。 $Th_{2,k}$ は、転送遅延ゆらぎを吸収するために必要な最小バッファ量で、当該VPを蓄積するキューのバッファ長を限定する。キュー長アップダウンカウンタ部は、VP毎に(STM網側のチャンネル毎に)アップダウンカウンタを持ち、書き込み制御部103から各VP単位に書き込みが発生した回数を信号S103として受け、また読みだし制御部105から各VP毎に読みだしが発生した回数を信号S112として受けて、セルバッファ部202内におけるそれぞれのVP毎にキューの長さを計測する。比較部403は、VP(識別子k)毎に(チャンネル毎に)、フレームカウンタ部401からの $Th_{1,k}$ 、 $Th_{2,k}$ と、キュー長アップダウンカウンタ部402からのキュー長から、①キューが空である、②キューがフレーム長の2n倍($=Th_{1,k}$)である、③キューがフレーム長のn倍($=Th_{2,k}$)であるの3点の比較を行い、結果をバッファ初期化制御用のバッファ初期化要求信号(S201、S203)に変換して、書き込み制御部103及び読みだし制御部105に通知する。

【0027】以上のような構成をもつATM/STM交換回路は、全体として次のように動作する。まず、セルバッファ部202におけるVP毎(STM信号の各チャンネル)のキュー長が0になった場合、または、キュー長が $Th_{1,k}$ になった場合には、そのキューに関し初期化処理を行う。初期化処理は、キュー長を0にリセットした後、網内CDV値nに対応するフレーム長($Th_{1,k}$)分だけ入力ATMセルをためた後にSTM網への読みだしを開始する処理である。そのために、バッファ初期化制御部107は、バッファ初期化要求信号S201を書き込み制御部103に出力する。書き込み制御部103は当該キューのVPにおいて次の入力セルのセルバッファ部202への書き込み時に、そのVPのバッファ初期化要求ビットをOnにし、そのVP以後の入力ATMセルのセルバッファ部202への書き込みを中止する。読みだし制御部105は当該VPのキューからの読み出しを継続し、読み出しデータにおいてバッファ初期化要求ビットのOnを検出した時、書き込み制御部103にキューの読みだしが完了してキューが空になったことを通知する(S202)。その通知を受信後、書き込み制御部103は当該VPの入力ATMセルのセルバ

ッファ部202への書き込みを再開する。バッファ初期化制御部107は、当該VP(k)のキュー長をモニターし、 $Th_{1,k}$ を越えた時、読みだし再開指示S203を読みだし制御部105に通知する。読みだし制御部105は、その後、当該VPのキューからの読み出しを再開する。

【0028】フレーム位置検出部108が、セルバッファ部202から読み出されるデータのフレーム位置ビットのOnを検出した時には、その旨を読みだし制御部105に通知する(S111)。CM部106は、各VP(STM信号の各チャンネル)の、8kHzフレーム内における最初のタイムスロットを指定するCM情報S114を出力するときには、当該CM情報の先頭タイムスロットビットをOnにして出力する。読みだし制御部105は、フレーム位置検出部108からフレーム位置指示信号S111を受けた場合において、CM部106からのCM情報S114の先頭タイムスロットビットがOnになっていない時には、そのSTM側チャンネルへのセルバッファ部202からの読みだしを停止し、CM情報の先頭タイムスロットビットがOnになった時に読みだしを開始する。それによって、セルバッファ部202上に蓄積されているフレームの位相とSTM網へ読みだされるフレームの位相がVP毎に同期する。

【0029】

【発明の効果】以上、詳細に説明したように、この発明は、次の効果を有する。1)セルバッファとして共有メモリ型のバッファを使用することによって、チャンネル数やチャンネル速度が任意に組み合わせられた、複数の構造化された(すなわち、フレームを持った)CBR(Continuous Bit Rate)信号のVPを入力してSTM信号に変換できる。2)チャンネル間の8kHzの整数倍であるフレーム位相を簡易にSTM側で8kHz単位に合わせることができる。これらの処理はコントロールメモリによる外部情報のみにより自動的に行われる。3)そのセルバッファ量は理論上最低のメモリコストで実現できる。4)セルバッファの書き込み側はセルブロック単位で行われるため、セルバッファのアドレス管理が簡易になる。5)セルバッファ内の各チャンネルのキューの接続を、セルバッファのセルブロックアドレスと同一のアドレスでポイントされ同一の動作を行う共有バッファであるポインタバッファによって管理するため、各チャンネル単位のセルバッファ内のキューを管理するアドレスFIFOを必要とせずに構成できる。6)以上まとめると、最少に近いハードウェアコスト及び消費電力で、完全自由なATM/STM変換を実現することができる。

【図面の簡単な説明】

【図1】この発明のアーキテクチャーの全体図を示すブロック図である。

【図2】この発明における共有メモリ部の構成を示すブロック図である。

【図 3】この発明における読みだし制御部の構成を示すブロック図である。

【図 4】この発明におけるバッファ初期化制御部の構成を示すブロック図である。

【図 5】この発明におけるデータのフォーマットを示す図である。

【図 6】共有バッファ部内における連鎖リストの管理構造を示す。

【図 7】従来方式の一例を示すブロック図である。

【符号の説明】

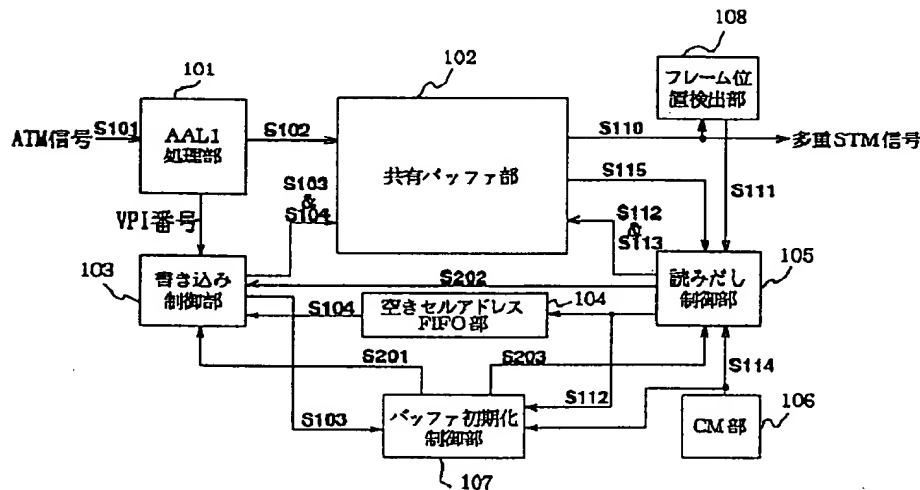
101 AAL1 処理部
102 共有バッファ部
103 書き込み制御部
104 空きアドレス FIFO 部
105 読みだし制御部
106 CM 部
107 バッファ初期化制御部
108 フレーム位置検出部
109 フレーム位置検出部
201 ポインタバッファ部
202 セルバッファ部
203 カウンタ部
204 ラッチ部
301 ヘッドレジスタ部
302 ダウンカウンタ部
401 フレームカウンタ部

10

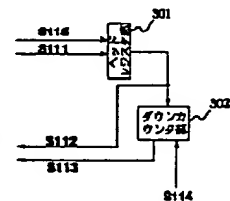
* 402 キュー長アップダウンカウンタ部
403 比較部
S101 ATMセル信号
S102 内部データフォーマット (ATM入力側)
S103 書き込み中のセルブロックアドレス (VP単位)
S104 次のATMセル入力のためのセルブロックアドレス (VP単位)
S105 書き込み中のセルブロックアドレス内におけるオフセットアドレス
S110 内部データフォーマット (STM出力側)
S111 フレーム位置指示信号
S112 読みだし中のセルブロックアドレス (VP単位)
S113 読みだし中のセルブロックアドレス内におけるオフセットアドレス (VP単位)
S114 CM情報
S115 次に読み出すべきセルブロックアドレス (VP単位)
20 S201 バッファ初期化要求信号 (VP単位)
S202 キューが空になったことを通知する信号 (VP単位)
S203 キューからの読みだし再開指示信号 (VP単位)

*

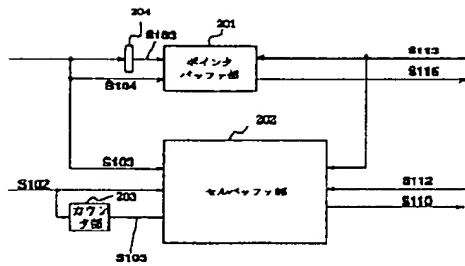
【図 1】



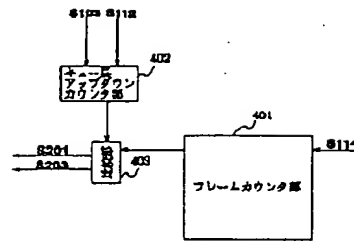
【図 3】



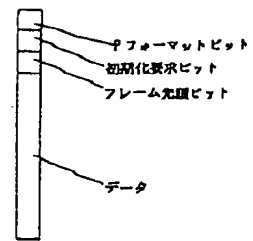
【図2】



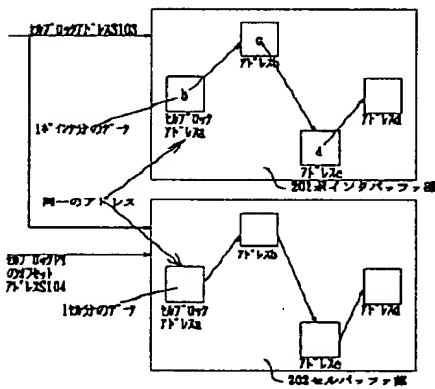
【図4】



【図5】



【図6】



【図7】

